

# XR806AF2L/AF2I 硬件电路 应用指南

版本号：V1.4.1

发布时间：2022-02-25

版本号	日期	修订内容
V1.0	2020-09-21	初始版本
V1.1	2020-10-26	内容修订
V1.2	2020-11-11	内容修订
V1.3	2021-09-03	修改参考设计默认供电方式为LDO模式
V1.4	2022-01-27	增加外部DCDC供电方式 修改VBAT、VDD_EXT电压范围的信息描述
V1.4.1	2022-02-25	修改外部DCDC模式的电路配置

## 目录

- 一. 总体介绍
- 二. XR806AF2L/AF2I 电路原理图说明
- 三. XR806AF2L/AF2I PCB Layout说明

## 一. 总体介绍

### ■ XR806AF2L/AF2I规格介绍

- XR806AF2L/AF2I是一款全集成2.4GHz Wi-Fi & BLE & Microcontroller SOC 芯片。
  - 支持WLAN 802.11 b/g/n标准，1T1R
  - 支持Bluetooth Low Energy(BLE) 5.0，兼容v4.0/4.1/4.2设备，高速HCI接口（最高支持4Mbps波特率）
  - 支持WLAN和BLE共存
  - 内部SIP 2MB Flash
- 电源：2.5V\*~5.5V电源供电，内部集成高效率DC-DC（如需使用内部DCDC模式，请联系Xradio Technology技术支持）
- 时钟：支持24/26/32/40MHz高频时钟输入。
- 封装：4mm \* 4mm QFN32

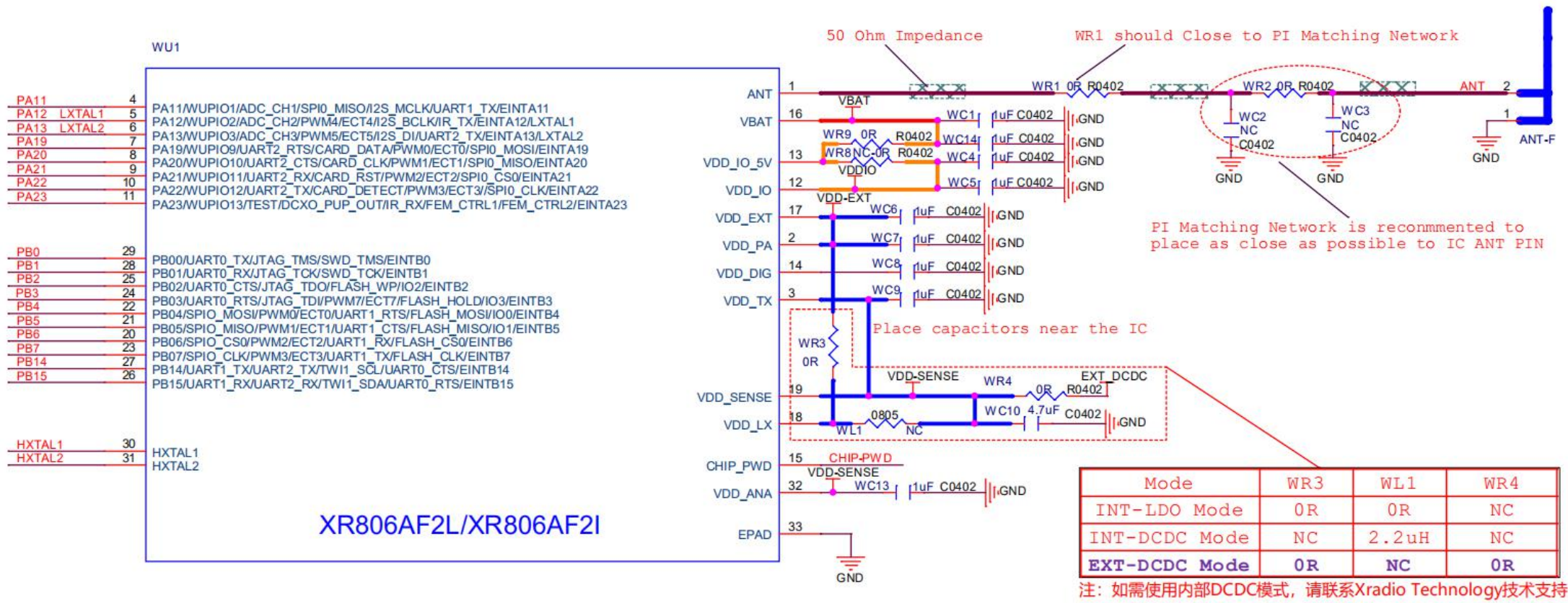
*Note:* \*-(需考虑其他外围电路供电电压)

## 二. XR806AF2L /AF2I电路原理图说明

- 核心电路原理图
- 射频
- 晶振
- IO
- 电源

# 二. XR806AF2L /AF2I电路原理图说明

## ■ 核心电路原理图

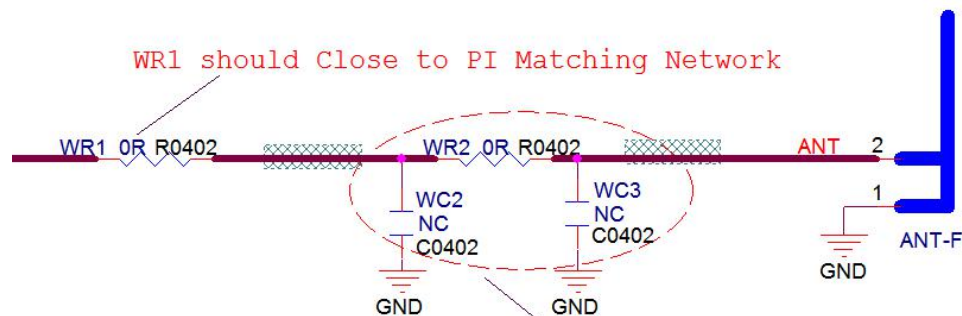


**Note:** NC - No Connect;(对于值为 “xx/NC” 或 “NC/xx” 的器件而言，默认贴 “/” 前的值)

## 二. XR806AF2L/AF2I 电路原理图说明

### ■ 射频

- XR806AF2L/AF2I 射频输出端口（ANT pin）无需匹配电路，但可预留天线PI型匹配电路。
- 为了方便天线PI型匹配电路的调试，在射频输出端口与天线间预留0Ω电阻WR1，如下图所示。



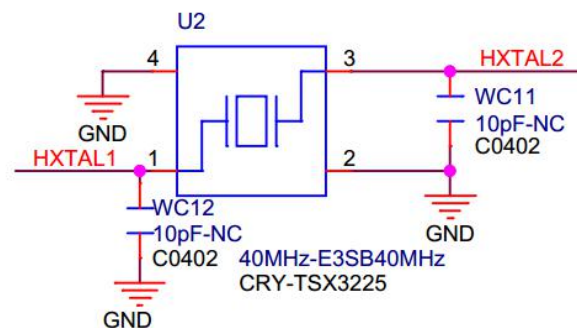
PI Matching Network is recommended to place as close as possible to IC ANT PIN



## 二. XR806AF2L/AF2I 电路原理图说明

### ■ 晶振

- XR806AF2L /AF2I支持不同频率的有源晶振和无源晶振，详见XR806 数据手册。
- 高频晶振推荐使用40M晶振，当使用24M或者26M晶振时，TX EVM指标会略差。
- 高频晶振使用无源晶振时可以通过调整内部电容+外部电容使频率误差达到要求。
- 以推荐使用40MHz频率晶振为例：
  - 晶振两边外部电容为10pF（WC11和WC12）。
  - 内部电容可调档位为0~127（每个档位对应0.2pF），默认档位为60，需实测调整。
  - 若频率误差偏大，可适当增加内部电容值；  
反之则减小电容值。
  - 频率误差越接近0 ppm，输出频率精度越高。

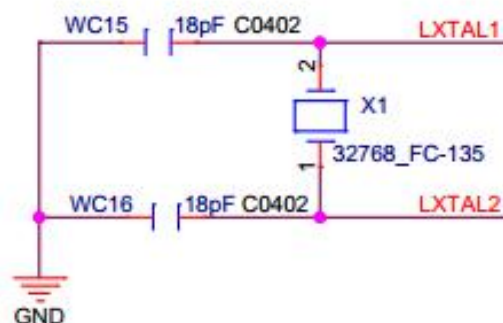




## 二. XR806AF2L /AF2I电路原理图说明

### ■ 晶振

- XR806AF2L/AF2I低频晶振频率为32.768KHz，支持有源晶振和无源晶振。详见XR806数据手册。
- XR806AF2L/AF2I的PA12和PA13管脚可复用做外部低频时钟信号管脚。在诸如低功耗保活等场景下，可考虑使用该部分应用电路。
- 低频晶振使用无源晶振时可以通过调整外部电容使频率误差缩小。



## 二. XR806AF2L/AF2I 电路原理图说明

### ■ IO

- GPIO复用功能如下图所示，详见XR806 Datasheet或者PIN MUX的说明。

GPIO	FUNC0	FUN1	FUNC2	FUNC3	FUNC4	FUNC5	FUNC6	FUNC8	FUNC9
PA11/WUPIO1	I	O	ADC_CH1	SPI0_MISO	I2S_MCLK	UART1_TX	EINTA11	KEY_Y3	IR_RX
PA12/WUPIO2/LXTAL1	I	O	ADC_CH2	PWM4/ECT4	I2S_BCLK	IR_TX	EINTA12	KEY_Y4	TWIO_SCL
PA13/WUPIO3/LXTAL2	I	O	ADC_CH3	PWM5/ECT5	I2S_DI	UART2_TX	EINTA13	KEY_Y5	TWIO_SDA
PA19/WUPIO9	I	O	UART2_RTS	CARD_DATA	PWM0/ECT0	SPI0_MOSI	EINTA19	KEY_X3	AUDIO_PWMP
PA20/WUPIO10	I	O	UART2_CTS	CARD_CLK	PWM1/ECT1	SPI0_MISO	EINTA20	KEY_X4	AUDIO_PWMN
PA21/WUPIO11	I	O	UART2_RX	CARD_RST	PWM2/ECT2	SPI0_CS0	EINTA21	KEY_X5	I2S_DO
PA22/WUPIO12	I	O	UART2_TX	CARD_DETECT	PWM3/ECT3	SPI0_CLK	EINTA22	KEY_X6	I2S_LRCLK
PA23/WUPIO13/TEST	I	O	DCXO_PUP_OUT	IR_RX	FEM_CTRL1	FEM_CTRL2	EINTA23	KEY_X7	I2S_MCLK
PB00	I	O	UART0_TX	JTAG_TMS	/	SWD_TMS	EINTB0	KEY_Y8	
PB01	I	O	UART0_RX	JTAG_TCK	/	SWD_TCK	EINTB1	KEY_Y9	
PB02/strap io	I	O	UART0_CTS	JTAG_TDO	/	FLASH_WP/IO2	EINTB2	KEY_Y10	SWD_TMS
PB03	I	O	UART0_RTS	JTAG_TDI	PWM7/ECT7	FLASH_HOLD/IO3	EINTB3	KEY_Y11	SWD_TCK
PB04	I	O	SPI0_MOSI	PWM0/ECT0	UART1_RTS	FLASH_MOSI/IO0	EINTB4	KEY_Y12	I2S_BCLK
PB05	I	O	SPI0_MISO	PWM1/ECT1	UART1_CTS	FLASH_MISO/IO1	EINTB5	KEY_Y13	I2S_DI
PB06	I	O	SPI0_CS0	PWM2/ECT2	UART1_RX	FLASH_CS0	EINTB6	KEY_Y14	I2S_DO
PB07	I	O	SPI0_CLK	PWM3/ECT3	UART1_TX	FLASH_CLK	EINTB7	KEY_Y15	I2S_LRCLK
PB14	I	O	UART1_TX	UART2_TX	TW11_SCL	UART0_CTS	EINTB14	KEY_Y0	PWM5/ECT5
PB15	I	O	UART1_RX	UART2_RX	TW11_SDA	UART0_RTS	EINTB15	KEY_Y1	PWM6/ECT6

## 二. XR806AF2L /AF2I电路原理图说明

### ■ IO

- 芯片复位信号为CHIP\_PWD，当不需要控制CHIP\_PWD时，直接上拉到VBAT。
- 当芯片上电启动或者复位时，PB2为低电平，系统被强制进入固件烧写模式。
- 当芯片上电启动或者复位时，PA23不能为高电平，否则进入测试模式。

## 二. XR806AF2L /AF2I电路原理图说明

### ■ 电源

- XR806AF2L/AF2I 需要两路外部电源供电，如下表：

Symbol	Voltage Range(V)			Max Current(mA)
	Min	Typ	Max	
VBAT	2.5*	3.3	5.5	600
VDDIO	1.8	1.8/3.3	3.6	100

- XR806AF2L/AF2I内部电源管理单元不仅对IC内电路供电，也可用于对外围设备供电，如下表：

Symbol	Voltage Range(V)			Max Current(mA)
	Min	Typ	Max	
VDD-EXT	2.5	3.3	3.5	600
VDD-SENSE	1.4	1.8	3.5	300

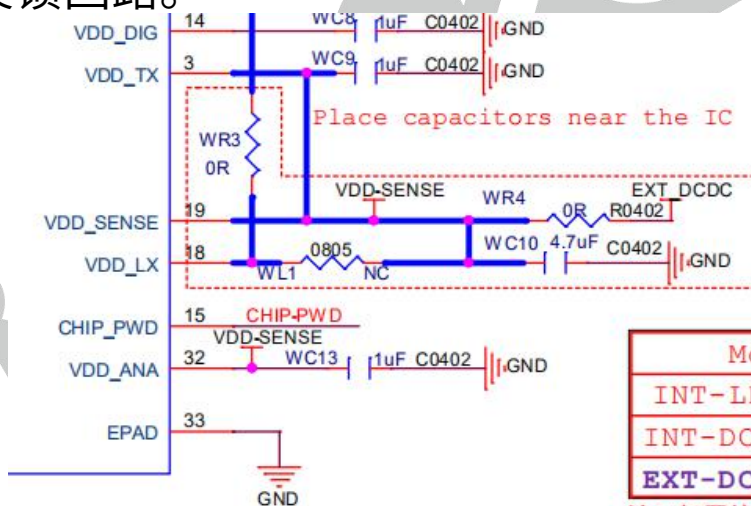
*Note:* \*-(需考虑其他外围电路供电电压)

## 二. XR806AF2L /AF2I电路原理图说明

### ■ 电源

- VDD-SENSE可选用LDO或者DCDC供电方式:

- 外部DCDC方式：WL1为NC，WR3、WR4为0R电阻
- LDO方式：WR4为NC，WR3和WL1为0R电阻
- 内部DCDC方式：WR3、WR4为NC，WL1选用2.2uH以上的电感，电感WL1使VLX管脚与SENSE管脚之间构成反馈回路。



Mode	WR3	WL1	WR4
INT-LDO Mode	0R	0R	NC
INT-DCDC Mode	NC	2.2uH	NC
EXT-DCDC Mode	0R	NC	0R

注：如需使用内部DCDC模式，请联系Xradio Technology技术支持

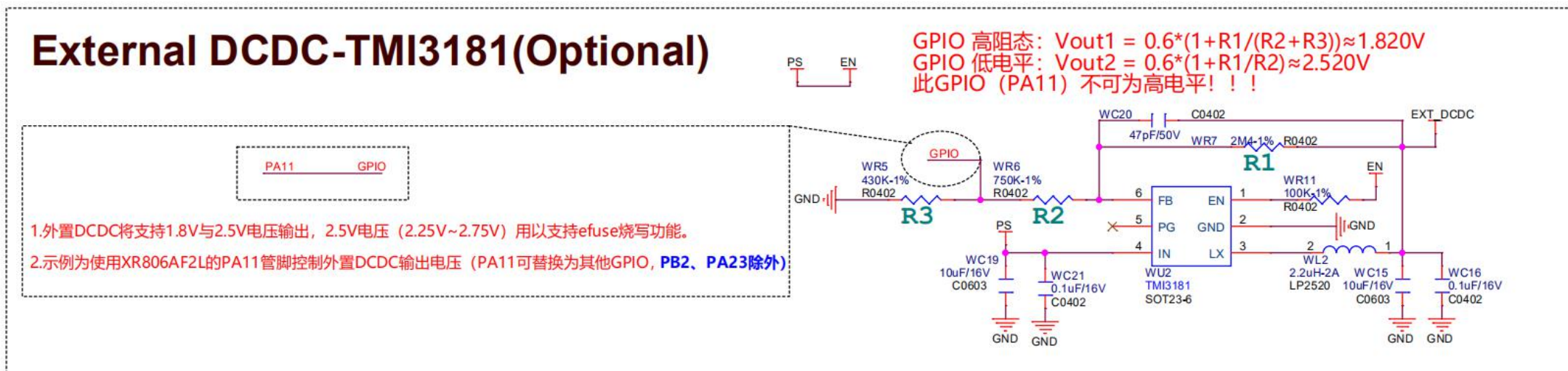


## 二. XR806AF2L /AF2I电路原理图说明

### ■ 电源

#### ● 外置DCDC供电方式说明:

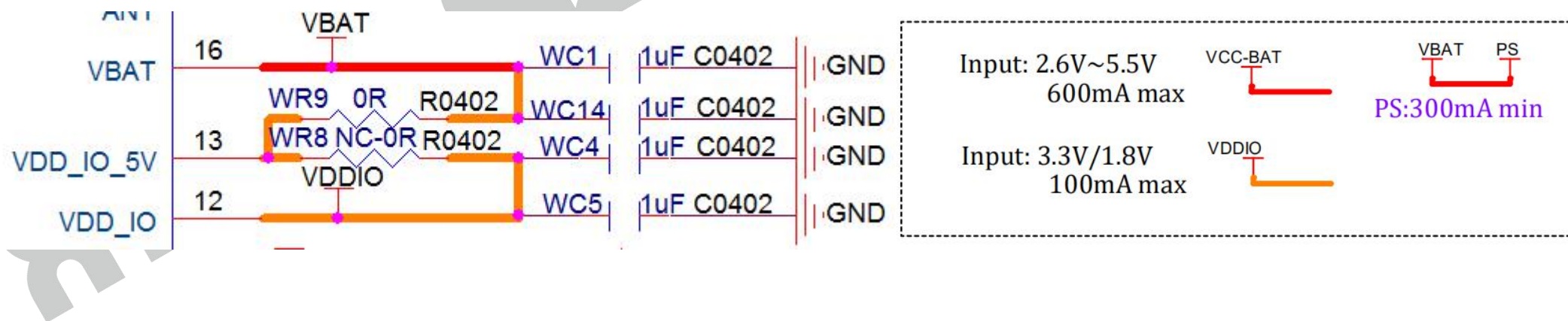
- 选型考虑：关注DCDC的功耗及成本，默认低功耗应用推荐使用TMI3181。
- 电压控制：外置DCDC支持1.8V与2.5V电压输出，电压输出值受控于GPIO
- GPIO说明：当GPIO为高阻态输出电压为1.8V，低电平时输出2.5V（此GPIO任意时刻不可为高电平）



## 二. XR806AF2L /AF2I电路原理图说明

### ■ 电源

- VDD\_IO\_5V端口支持1.8V/3.3V/5V供电，用于确定PB00/PB01/PB14/PB15的IO电平，可根据实际需要选择VBAT或者VDDIO供电。
  - 当VDD\_IO\_5V端口选择VBAT供电时，则WR9为0R，WR8为NC；此时VDD\_IO\_5V可实现5V供电。
  - 当VDD\_IO\_5V端口选择VDDIO供电时，则WR9为NC，WR8为0R。





### 三. XR806AF2L/AF2I PCB Layout 说明

- 叠层
- PCB封装
- 布局
- 布线

### 三. XR806AF2L/AF2I PCB Layout 说明

#### ■ 叠层

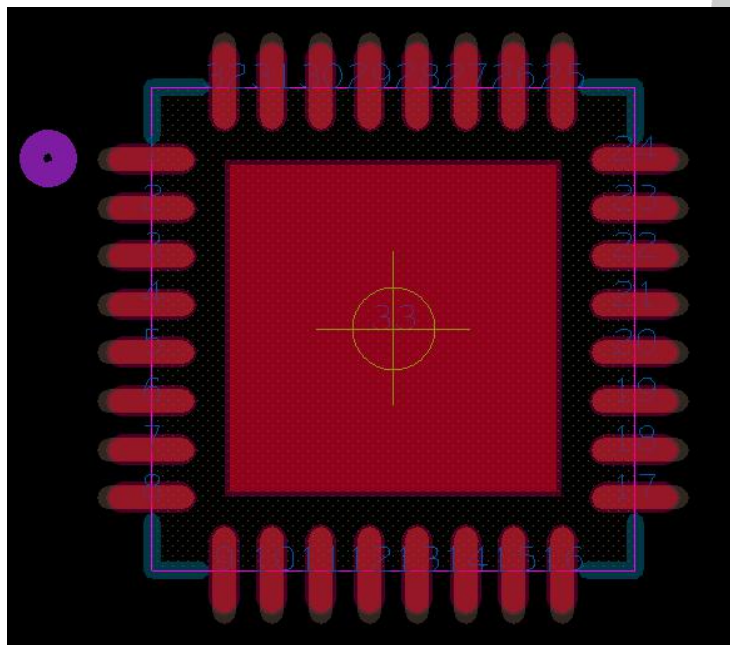
- 二层板并且单面贴设计，叠层如下图所示。
- PCB具体厚度根据实际情况和阻抗要求适当调整。

层		厚度
TOP	=====	1.8 (0.5oz+Plating)
	Core	44(mil)
BOT	=====	1.8 (0.5+Plating)
完成板厚: 1.2 (+0.12/-0.12) MM		

### 三. XR806AF2L/AF2I PCB Layout 说明

#### ■ PCB封装

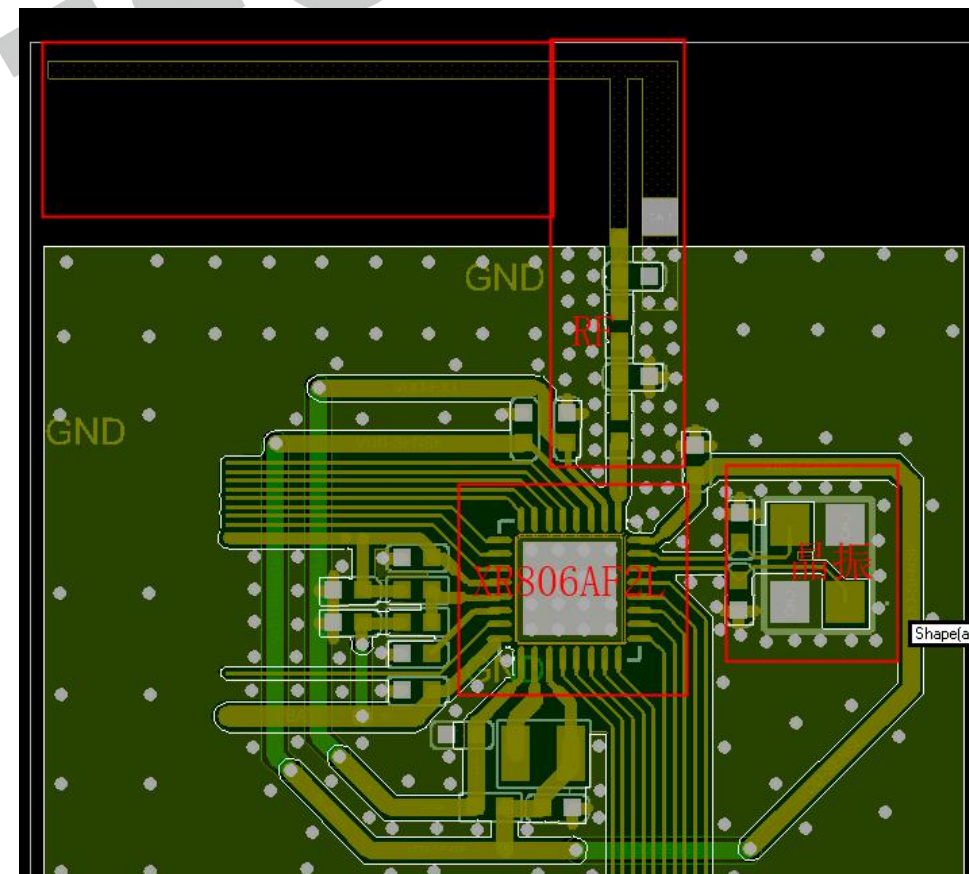
- XR806AF2L/AF2I 推荐PCB封装如下图所示；
- PCB封装中间需要开窗处理。



### 三. XR806AF2L/AF2I PCB Layout 说明

#### ■ 布局

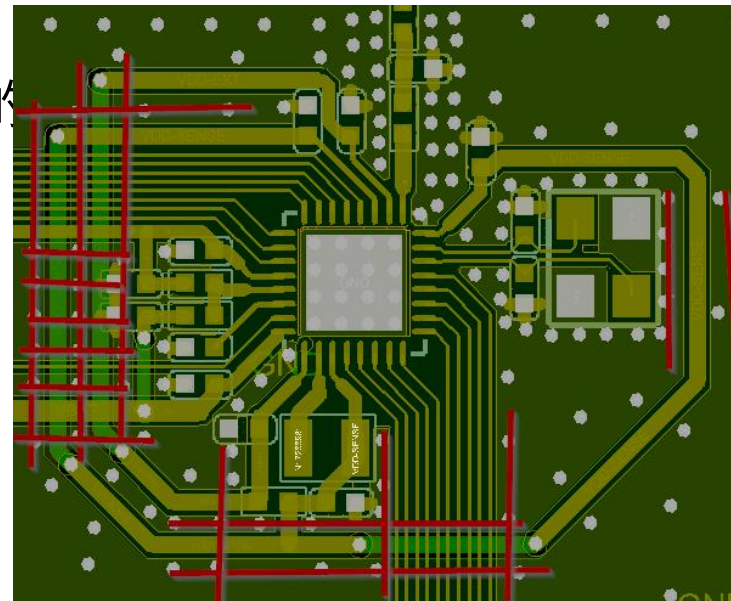
- XR806AF2L/AF2I总体布局靠板边放置以使RF线缩短；
- 晶振和RF线尽量分开，防止晶振和RF互相干扰。



### 三. XR806AF2L/AF2I PCB Layout 说明

#### ■ 布线

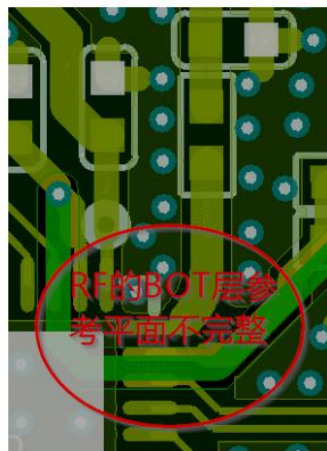
- 两层板布线尽可能走Top层，尽量保持Bot层地平面的完整性，要求Bot走线尽量短。相邻两层板的走线应尽量互相垂直或斜交。
- 两层板地线设计成栅状，即在PCB一层布较多的平行地平面/线，另一层为垂直地平面/线，然后在它们交叉的地方用过孔连接起来。
- XR806AF2L/AF2I的EPAD下方需有完整的参考地，建议有均匀的4排4列GND过孔以便EPAD充分连接GND，并改善散热效果。



### 三. XR806AF2L/AF2I PCB Layout 说明

#### ■ 布线

- RF线进行50 Ohm阻抗控制，走线要求圆滑避免换层，避免阻抗突变（焊盘和走线同宽）。
- PCB封装天线辐射区域尽量保证没有金属器件。
- RF线有完整的参考地，并且和EPAD需要良好的连接，从IC端出来就进行包地处理，两边均匀的打GND过孔。





## 三. XR806AF2L/AF2I PCB Layout 说明

### ■ 布线

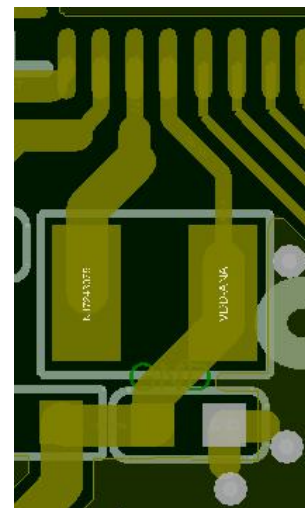
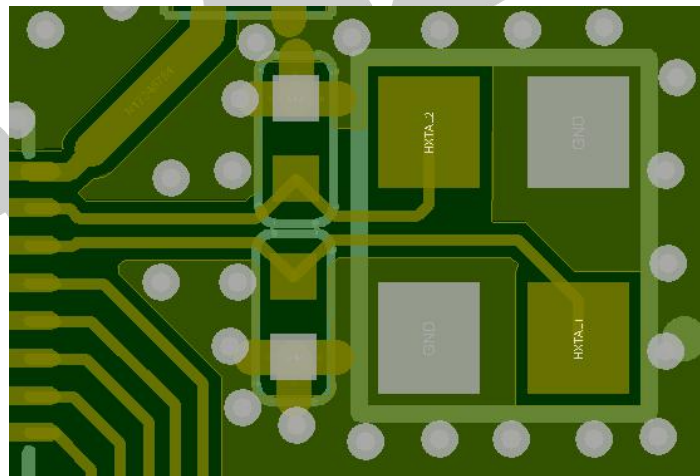
- 如PCB板形状和大小等影响天线性能参数变化，可以通过如下两种方式调整天线：
  - 改变天线Pi型匹配值。
  - 改变天线尺寸参数。注：天线的性能和板大小结构有较大的关系。
- VBAT的线宽建议保持大于25mil
- VDD-EXT和VDD-SENSE的线宽建议保持大于20mil。
- VDDIO的线宽建议保持大于15mil。



### 三. XR806AF2L/AF2I PCB Layout 说明

#### ■ 布线

- 高频晶振靠近XR806AF2L/AF2I放置，使HXTAL1和HXTAL2长小于400mil，电容分别靠近晶振摆放，如左下图所示；
- 高频晶振两边包地，以降低和RF的互相干扰。
- DCDC电感WL1靠近XR806AF2L/AF2I，滤波电容WC10靠近电感放置。其他电容靠近相应pin脚，如右下图所示。



## 声明

### • 著作权声明

版权所有©2021广州芯之联科技有限公司。保留一切权利。

本文档及内容受著作权法保护，其著作权由广州芯之联科技有限公司（“芯之联”）拥有并保留一切权利。

本文档是芯之联的原创作品和版权财产，未经芯之联书面许可，任何单位和个人不得擅自摘抄、复制、修改、发表或传播本文档内容的部分或全部，且不得以任何形式传播。

### • 商标声明



（不完全列举）均为广州芯之联科技有限公司的商标或者注册商标。在本文档描述的产品中出现的其它商标，产品名称，和服务名称，均由其各自所有人拥有。

### • 免责声明

您购买的产品、服务或特性应受您与广州芯之联科技有限公司（“芯之联”）之间签署的商业合同和条款的约束。本文档中描述的全部或部分产品、服务或特性可能不在您所购买或使用的范围内。使用前请认真阅读合同条款和相关说明，并严格遵循本文档的使用说明。您将自行承担任何不当使用行为（包括但不限于如超压，超

## 声明（续）

频，超温使用）造成的不利后果，芯之联概不负责。

本文档作为使用指导仅供参考。由于产品版本升级或其他原因，本文档内容有可能修改，如有变更，恕不另行通知。芯之联尽全力在本文档中提供准确的信息，但并不确保内容完全没有错误，因使用本文档而发生损害（包括但不限于间接的、偶然的、特殊的损失）或发生侵犯第三方权利事件，芯之联概不负责。本文档中的所有陈述、信息和建议并不构成任何明示或暗示的保证或承诺。

本文档未以明示或暗示或其他方式授予芯之联的任何专利或知识产权。在您实施方案或使用产品的过程中，可能需要获得第三方的权利许可。请您自行向第三方权利人获取相关的许可。芯之联不承担也不代为支付任何关于获取第三方许可的许可费或版税（专利税）。芯之联不对您所使用的第三方许可技术做出任何保证、赔偿或承担其他义务。